

JOSEPH W. PRICE
ALBIN H. GESS
MICHAEL J. MOFFATT
GORDON E. GRAY III
BRADLEY D. BLANCHE
J. RONALD RICHEBOURG

OF COUNSEL
JAMES F. KIRK

PRICE AND GESS

ATTORNEYS AT LAW

2100 S.E. MAIN STREET, SUITE 250

IRVINE, CALIFORNIA 92614-6238

A PROFESSIONAL CORPORATION
TELEPHONE: (949) 261-8433
FACSIMILE: (949) 261-9072
FACSIMILE: (949) 261-1726

e-mail: pg@pgpatentlaw.com

12-6-01
JP2
JC971 U.S. PTO
09/928733



PRIORITY DOCUMENTS (Japanese Application No. 2000-246483)

Inventor(s): Masaaki Nishijima
Title: RF PASSIVE CIRCUIT AND RF AMPLIFIER WITH VIA-HOLES
Attorney's Docket No.: NAK1-BP73

EXPRESS MAIL LABEL NO. EL873069933US
DATE OF DEPOSIT: August 13, 2001

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年 8月15日

出 願 番 号
Application Number:

特願2000-246483

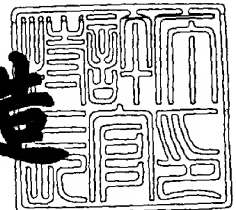
出 願 人
Applicant(s):

松下電器産業株式会社

2001年 6月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3057555

【書類名】 特許願

【整理番号】 2929020006

【提出日】 平成12年 8月15日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明者】

 【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

 【氏名】 西嶋 将明

【特許出願人】

 【識別番号】 000005843

 【氏名又は名称】 松下電子工業株式会社

【代理人】

 【識別番号】 100090446

 【弁理士】

 【氏名又は名称】 中島 司朗

【選任した代理人】

 【識別番号】 100109210

 【弁理士】

 【氏名又は名称】 新居 広守

【手数料の表示】

 【予納台帳番号】 014823

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9810106

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バイアホールを備えた高周波受動回路および高周波増幅器

【特許請求の範囲】

【請求項 1】

半導体基板の主面上に形成されたスパイラルインダクタと、半導体基板の主面から半導体基板を貫通しているバイアホールとを備え、

上記バイアホールは、上記スパイラルインダクタに隣接して配されるとともに、当該バイアホールの内部の接地金属層上に高誘電体層、配線金属層がその順に積層形成されて、接地金属層と配線金属層との間で容量素子を構成しており、

上記スパイラルインダクタの一端がスパイラルインダクタの外部領域に引き出されて上記配線金属層と電気的に接続されていることを特徴とするバイアホールを備えた高周波受動回路。

【請求項 2】

上記スパイラルインダクタは、上層配線金属層と下層配線金属層との 2 層構造をし、少なくとも一方の金属層が、スパイラル状に形成されると共に、両金属層がコンタクトホールを介して接続されていることを特徴とする請求項 1 記載の高周波受動回路。

【請求項 3】

請求項 1 または 2 に記載のバイアホールを備えた高周波受動回路が整合回路若しくはバイアス給電回路の高周波チョークとして構成されていることを特徴とするバイアホールを備えた高周波増幅器。

【請求項 4】

半導体基板の主面上に形成されたスパイラルインダクタと、半導体基板の主面から半導体基板を貫通しているバイアホールとを備え、

上記バイアホールは、上記スパイラルインダクタに隣接して配されていると共に、当該バイアホールの内部の接地金属層上に第一の高誘電体層、第一の配線金属層、第二の高誘電体層、第二の配線金属層がこの順に形成され、上記接地金属層と第一の配線金属層との間で第一の容量素子を、

上記第一の配線金属層と第二の配線金属層との間で第二の容量素子をそれぞれ

れ構成し、上記接地金属層と上記第二の配線金属層が電氣的に接続されて、接地金属層と第一の配線金属層との間で、第一の容量素子と第二の容量素子の和の静電容量を確保しており、

更に、上記スパイラルインダクタの一端がスパイラルインダクタの外部領域に引き出されて上記第一の配線金属層と電氣的に接続されていることを特徴とするバイアホールを備えた高周波受動回路。

【請求項 5】

上記スパイラルインダクタは、上層配線金属層と下層配線金属層との 2 層構造をし、少なくとも一方の金属層が、スパイラル状に形成されると共に、両金属層がコンタクトホールを介して接続されていることを特徴とする請求項 4 記載の高周波受動回路。

【請求項 6】

請求項 4 または 5 に記載のバイアホールを備えた高周波受動回路が、整合回路またはバイアス給電回路の高周波チョークとして構成されていることを特徴とするバイアホールを備えた高周波増幅器。

【請求項 7】

半導体基板を貫通して形成されたバイアホールの、半導体基板の一方の主面側にある金属層が当該主面に沿って延長され、当該延長部分の上に高誘電体層を介してスパイラル状をした金属層からなるインダクタが形成されていることを特徴とするバイアホールを備えた高周波受動回路。

【請求項 8】

請求項 7 記載のバイアホールを備えた高周波受動回路において、上記金属層の延長部分は、その上方のスパイラル状インダクタと平行したスパイラル状をしていることを特徴とするバイアホールを備えた高周波受動回路。

【請求項 9】

請求項 7 に記載のバイアホールを備えた高周波受動回路が、整合回路またはバイアス給電回路の高周波チョークとして構成されていることを特徴とするバイアホールを備えた高周波増幅器。

【請求項 10】

半導体基板を貫通してバイアホールが形成され、当該バイアホールの、半導体基板の一方の主面上にある金属層を覆って高誘電体層が形成され、上記誘電体層上にスパイラル状金属層からなるインダクタが、上記金属層と一部が対向する状態で形成され、対向部分においてバイアホールとインダクタとの間に容量素子を確保していることを特徴とするバイアホールを備えた高周波受動回路。

【請求項 1 1】

請求項 1 0 に記載のバイアホールを備えた高周波受動回路が、整合回路またはバイアス給電回路の高周波チョークとして構成されていることを特徴とするバイアホールを備えた高周波増幅器。

【請求項 1 2】

半導体基板の反対側主面から半導体基板を貫通しているバイアホールを備え、上記バイアホールの半導体基板の主面側の第一の金属層上に高誘電体層を有し、上記高誘電体層上に第二の金属層が形成され、第一の金属層と第二の金属層との間で容量素子を確保していることを特徴とするバイアホールを備えた高周波受動回路。

【請求項 1 3】

請求項 1 2 に記載のバイアホールを備えた高周波受動回路に抵抗素子を配して、上記抵抗素子の一方の端子に上記第一の金属層が電氣的に接続され、上記抵抗素子の他方の端子に上記第二の金属層が電氣的に接続されていることを特徴とするバイアホールを備えた高周波受動回路。

【請求項 1 4】

請求項 1 2 に記載のバイアホールを備えた高周波受動回路において、第二の金属層が、電界効果型トランジスタのゲート接地回路のゲート端子に電氣的に接続されていることを特徴とするバイアホールを備えた高周波増幅器。

【請求項 1 5】

請求項 1 2 に記載のバイアホールを備えた高周波受動回路において、第二の金属層が、バイポーラトランジスタのベース接地回路のベース端子に電氣的に接続されていることを特徴とするバイアホールを備えた高周波増幅器。

【請求項 1 6】

請求項 1 3 に記載のバイアホールを備えた高周波受動回路において、上記抵抗素子の上記第二の金属層が電氣的に接続されている端子が、電界効果型トランジスタのソース端子に電氣的に接続されて、セルフバイアス回路を構成していることを特徴とするバイアホールを備えた高周波増幅器。

【請求項 1 7】

半導体基板を貫通してバイアホールを形成し、上記バイアホールの内部の接地金属層上に高誘電体層、配線金属層をこの順に積層して接地金属層と配線金属層との間で容量素子を確保していることを特徴とするバイアホールを備えた高周波受動回路。

【請求項 1 8】

請求項 1 7 に記載のバイアホールを備えた高周波受動回路に抵抗素子が、その一方の端子に上記接地金属層を接続し、他方の端子に上記配線金属層を接続した状態で、配されていることを特徴とするバイアホールを備えた高周波受動回路。

【請求項 1 9】

請求項 1 7 に記載のバイアホールを備えた高周波受動回路において、配線金属層が、電界効果型トランジスタのゲート接地回路のゲート端子に電氣的に接続されていることを特徴とするバイアホールを備えた高周波増幅器。

【請求項 2 0】

請求項 1 7 に記載のバイアホールを備えた高周波受動回路において、配線金属層が、バイポーラトランジスタのベース接地回路のベース端子に電氣的に接続されていることを特徴とするバイアホールを備えた高周波増幅器。

【請求項 2 1】

請求項 1 8 に記載のバイアホールを備えた高周波受動回路において、上記抵抗素子の上記配線金属層が電氣的に接続されている端子が、電界効果型トランジスタのソース端子に電氣的に接続されて、セルフバイアス回路を構成していることを特徴とするバイアホールを備えた高周波増幅器。

【請求項 2 2】

半導体基板を貫通してバイアホールが形成され、当該バイアホールの内部の接地金属層上に第一の高誘電体層、第一の配線金属層、第二の高誘電体層、第二

の配線金属層をこの順に積層形成し、上記接地金属層と第一配線金属層との間で第一の容量素子を、上記第一の配線金属層と第二の配線金属層との間で第二の容量素子を夫々確保し、上記接地金属層と上記第二の配線金属層が電氣的に接続されており、接地金属層と第一の配線金属層との間で、第一の容量素子と第二の容量素子の和の静電容量を確保していることを特徴とするバイアホールを備えた高周波受動回路。

【請求項 2 3】

請求項 2 2 に記載のバイアホールを備えた高周波受動回路に抵抗素子を配して、上記抵抗素子の一方の端子に上記第二の配線金属層あるいは上記接地金属層が電氣的に接続され、上記抵抗素子の他方の端子に上記第一の配線金属層が電氣的に接続されていることを特徴とするバイアホールを備えた高周波受動回路。

【請求項 2 4】

請求項 2 2 に記載のバイアホールを備えた高周波受動回路において、第一の配線金属層が、電界効果型トランジスタのゲート接地回路のゲート端子に電氣的に接続されていることを特徴とするバイアホールを備えた高周波増幅器。

【請求項 2 5】

請求項 2 3 に記載のバイアホールを備えた高周波受動回路において、第一の配線金属層が、バイポーラトランジスタのベース接地回路のベース端子に電氣的に接続されていることを特徴とするバイアホールを備えた高周波増幅器。

【請求項 2 6】

請求項 2 3 に記載のバイアホールを備えた高周波受動回路において、上記抵抗素子の上記第二の配線金属層が電氣的に接続されている端子が、電界効果型トランジスタのソース端子に電氣的に接続されて、セルフバイアス回路を構成していることを特徴とするバイアホールを備えた高周波増幅器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明はバイアホールを備えた高周波受動回路および高周波増幅器の小型化を実現する技術に関する。

【 0 0 0 2 】

【従来の技術】

近年、世界各国で携帯電話や携帯情報端末のように、様々な移動体通信機器が実用化されている。例えば日本では携帯電話として 9 0 0 M H z、1. 5 G H z 帯のセルラと 1. 9 G H z 帯のパーソナルハンディホンシステム（P H S）、世界的には G S M そしてアメリカの P C S の中でも C D M A が挙げられる。

今後、アナログ方式、デジタル方式に次ぐ、第三世代の方式として、I M T 2 0 0 0 が実用化される予定である。

【 0 0 0 3 】

移動体通信端末、特に携帯端末においては、端末の小型、軽量化が必須の流れであり、これに用いられる部品の小型化が重要となってくる。

部品の小型化の流れとして、携帯端末の高周波部品を M M I C（Monolithic Microwave I C）化することが強く望まれている。能動素子およびその整合回路、バイアス回路を同一基板上に集積化することで、整合回路、バイアス給電回路などを外付けのチップ部品で構成するハイブリッド I C に比べて小型化に有利である。

【 0 0 0 4 】

M M I C 化した場合においても、回路素子を接地させることが必要であり、従来、接地を図るために用いられる方法として、半導体基板上からワイヤボンディングを行う方法と、バイアホールを用いる方法の 2 通りがある。ワイヤボンディングを用いる方法に比べてバイアホールを用いる方法は、高性能化、組立ての実装コスト低減の面で有効であり、そのため、M M I C においては、バイアホールを用いる方法がよく用いられる。

【 0 0 0 5 】

以下、図 8（1）、（2）では、バイアホールを備えた高周波受動回路および高周波増幅器の従来例を説明する。

図 8（1）、（2）はそれぞれ従来のバイアホールを備えた高周波受動回路を含んだ高周波増幅器の回路図、バイアホールを備えた高周波受動回路のパターン図を示している。

【 0 0 0 6 】

図 8 (1) に示すように電界効果型トランジスタ (以下、 F E T と略す。) 8 0 1 において、ゲート端子 8 0 2 には、ゲートバイアス抵抗 8 0 5、入力整合回路 8 0 6 が接続され、ドレイン端子 8 0 3 には、ドレイン電圧給電回路 8 0 7、出力整合回路 8 0 8 が接続され、ソース端子 8 0 4 は、接地端子 8 0 9 に接続されていて、ソース接地型の高周波増幅器を構成している。入力端子 8 1 0 と出力端子 8 1 1 は 50Ω インピーダンス系となっており、入力整合回路 8 0 6、出力整合回路 8 0 8 は 50Ω に対して整合されている。

また、入力側、出力側にはそれぞれ入力側 D C カット用キャパシタ 8 1 2、出力側 D C カット用キャパシタ 8 1 3 が挿入されている。

【 0 0 0 7 】

入力整合回路 8 0 6 は入力整合用並列インダクタ 8 1 4、入力整合用並列キャパシタ 8 1 5、入力整合用直列インダクタ 8 1 6 から構成され、入力整合用並列キャパシタ 8 1 5 は入力整合回路用バイアホール 8 2 1 により接地されている。

出力整合回路 8 0 8 は出力整合用直列インダクタ 8 1 7、出力整合用並列キャパシタ 8 1 8 から構成され、出力整合用並列キャパシタ 8 1 8 は出力整合回路用バイアホール 8 2 2 により接地されている。

ドレイン電圧給電回路 8 0 7 はチョークインダクタ 8 1 9、バイパスキャパシタ 8 2 0 から構成され、バイパスキャパシタ 8 2 0 はドレイン電圧給電回路用バイアホール 8 2 3 により接地されている。

【 0 0 0 8 】

図 8 (2 A)、(2 B) はバイアホールを備えた高周波受動回路のパターン図であり、それぞれ入力整合回路 8 0 6 とドレイン電圧給電回路 8 0 7 を示しており、図 8 (3) はその断面図 (A - A') を示している。以下では、入力整合回路 8 0 6 とドレイン電圧給電回路 8 0 7 の共通部分について、入力整合回路 8 0 6 を取り上げて説明する。

【 0 0 0 9 】

図 8 (2 A) において、上記で述べた入力整合回路 8 0 6 の構成素子は、半導体基板として G a A s 基板 8 2 4 上に形成される。入力整合用並列インダクタ 8

1 4 と入力整合用直列インダクタ 8 1 6 はスパイラル形状をした電極パターン、入力整合用並列キャパシタ 8 1 5 は M I M (Metal-Insulator-Metal) キャパシタパターンを用いる。

【 0 0 1 0 】

スパイラル状電極パターンは、図 8 (3) に示すように G a A s 基板 8 2 4 上にシリコンオキサイド (S i O) などの絶縁膜 8 3 4 を介して形成される。即ち、スパイラル状電極パターンは、金／チタン蒸着などの下層配線金属層 8 3 1 と金メッキなどの上層配線金属層 8 3 0 がシリコンナイトライド (S i N) などの層間絶縁膜 8 3 2 を介してコンタクトホール 8 3 3 により接続された構造である。

【 0 0 1 1 】

一方、M I M キャパシタは、前記下層配線金属層 8 3 1 から引き出された電極の先端上に、高誘電体層 8 2 8 として誘電率 1 0 0 以上であるチタン酸ストロンチウム (S r T i O ₃ : S T O) を介して、上層配線金属 8 2 9 を金／チタン蒸着などにより形成した構造である。上層配線金属 8 2 9 から引き出された電極は図 8 - 2 に示すように、バイヤーホール上の接地金属層 8 2 6 と接続されている。

【 0 0 1 2 】

入力整合回路用バイアホール 8 2 1 は、G a A s 基板 8 2 4 の主面 (回路素子が形成されている面) からエッチング形成する方法 (以下、表面バイアホールと略する。)、あるいは G a A s 基板 8 2 4 の反対主面からエッチング形成する方法 (以下、裏面バイアホールと略する。) を適用して形成される。バイアホール 8 2 1 の内壁は、裏面接地金属 8 2 9 と導通した導電膜が形成され、接地金属層 8 2 6 を介して M I M キャパシタ用上層配線金属 8 2 9 と電氣的に接続されている。

【 0 0 1 3 】

次に、図 8 (2 B) において、ドレイン電圧給電回路 8 0 7 の構成素子は、半導体基板として G a A s 基板 8 2 4 上に形成される。チョークインダクタ 8 1 9 はスパイラル状電極パターン、バイパスキャパシタ 8 2 0 は M I M (Metal-Insulator-Metal) キャパシタパターンを用いる。ドレイン電圧給電回路用バイアホ

ール 8 2 3 は表面バイアホール、あるいは裏面バイアホールを適用して形成される。

【 0 0 1 4 】

なお、ドレイン電圧給電回路 8 0 7 の給電端子 8 2 5 は、スパイラル状電極パターンの下層配線金属層 8 3 1 から引出し配線 8 3 5 によりドレイン電圧端子 8 3 6 を引出すことで構成できる。

以上の構成において、高周波受動回路を構成する素子であるスパイラルインダクタ、MIMキャパシタ、バイアホールはGaAs基板上にそれぞれ個別に形成されるとともに、図 8 (2 A) 、図 8 (2 B) から看守できるように、2次元平面上異なった位置に配置されている。そして、それぞれの素子が配線で接続されており、上記で述べた入力整合回路 8 0 8 とドレイン電圧給電回路 8 0 7 を用いて高周波増幅器を構成している。

【 0 0 1 5 】

【発明が解決しようとする課題】

上記の如く、従来の高周波増幅器乃至は高周波受動回路は、入力整合回路 806 とドレイン電圧給電回路 807 を構成する素子であるスパイラルインダクタ、MIMキャパシタ、バイアホールがGaAs基板に対してそれぞれ個別に、2次元的に配置されているために、占有面積が大きくなり、高周波受動回路、および高周波増幅器の小型化を妨げるという問題がある。

【 0 0 1 6 】

本発明は上記問題点に鑑み、バイアホールを備えた高周波受動回路および高周波増幅器の小型化を実現可能にすることを目的とするものである。

【 0 0 1 7 】

【課題を解決するための手段】

上記問題点の解決手段としてバイアホールを備えた高周波受動回路および高周波増幅器の小型化を実現可能にするために、

本発明のバイアホールを備えた高周波受動回路は、半導体基板の主面上に形成されたスパイラルインダクタと、半導体基板の主面から半導体基板を貫通しているバイアホールとを備え、

上記バイアホールは、上記スパイラルインダクタに隣接して配されるとともに、当該バイアホールの内部の接地金属層上に高誘電体層、配線金属層がその順に積層形成されて、接地金属層と配線金属層との間で容量素子を確保しており、上記スパイラルインダクタの一端がスパイラルインダクタの外部領域に引き出されて上記配線金属層と電氣的に接続されていることを特徴としている。

【 0 0 1 8 】

また、本発明の高周波増幅器は、上記バイアホールを備えた高周波受動回路を、整合回路として、またはバイアス給電回路の高周波チョークとして構成することを特徴としている。

また、本発明のバイアホールを備えた高周波受動回路は、半導体基板の主面上に形成されたスパイラルインダクタと、半導体基板の主面から半導体基板を貫通しているバイアホールとを備え、

上記バイアホールは、上記スパイラルインダクタに隣接して配されていると共に、当該バイアホールの内部の接地金属層上に第一の高誘電体層、第一の配線金属層、第二の高誘電体層、第二の配線金属層がこの順に形成され、上記接地金属層と第一の配線金属層との間で第一の容量素子を、上記第一の配線金属層と第二の配線金属層との間で第二の容量素子をそれぞれ構成し、

上記接地金属層と上記第二の配線金属層が電氣的に接続されて、接地金属層と第一の配線金属層との間で、第一の容量素子と第二の容量素子の和の静電容量を確保しており、

更に、上記スパイラルインダクタの一端がスパイラルインダクタの外部領域に引き出されて上記第一の配線金属層と電氣的に接続されていることを特徴としている。

【 0 0 1 9 】

また、本発明の高周波増幅器は、上記バイアホールを備えた高周波受動回路を、整合回路として、またはバイアス給電回路の高周波チョークとして構成することを特徴としている。

また、本発明のバイアホールを備えた高周波受動回路は、半導体基板を貫通して形成されたバイアホールの、半導体基板の一方の主面側にある金属層が当該主

面に沿って延長され、当該延長部分の上に高誘電体層を介してスパイラル状をした金属層からなるインダクタが形成されていることを特徴としている。ここで、上記金属層の延長部分は、その上方のスパイラル状インダクタと並行したスパイラル状に形成することができる。

【 0 0 2 0 】

また、本発明の高周波増幅器は、上記バイアホールを備えた高周波受動回路を、整合回路として、またはバイアス給電回路の高周波チョークとして構成することを特徴としている。

また、本発明のバイアホールを備えた高周波受動回路は、半導体基板を貫通してバイアホールが形成され、当該バイアホールの、半導体基板の一方の主面上にある金属層を覆って高誘電体層が形成され、上記誘電体層上にスパイラル状金属層からなるインダクタが、上記金属層と一部が対向する状態で形成され、対向部分においてバイアホールとインダクタとの間に容量素子を確保していることを特徴としている。

【 0 0 2 1 】

また、本発明の高周波増幅器は、上記バイアホールを備えた高周波受動回路を整合回路として、またはバイアス給電回路の高周波チョークとして構成したことを特徴としている。

また、本発明のバイアホールを備えた高周波受動回路は、半導体基板の反対側主面から半導体基板を貫通しているバイアホールを備え、上記バイアホールの半導体基板の主面側の第一の金属層上に高誘電体層を有し、上記高誘電体層上に第二の金属層が形成され、第一の金属層と第二の金属層との間で容量素子を確保していることを特徴としている。

【 0 0 2 2 】

また、本発明の高周波増幅器は、上記高周波受動回路の第二の金属層が、電界効果型トランジスタのゲート接地回路のゲート端子に電氣的に接続され、または、パイポーラトランジスタのベース接地回路のベース端子に電氣的に接続され、または、上記抵抗素子の一端であって上記第二の金属層が電氣的に接続されている端子が、電界効果型トランジスタのソース端子に電氣的に接続されて、セルフ

バイアス回路を構成していることを特徴としている。

【 0 0 2 3 】

また、本発明のバイアホールを備えた高周波受動回路は、半導体基板を貫通してバイアホールを形成し、上記バイアホールの内部の接地金属層上に高誘電体層、配線金属層をこの順に積層して接地金属層と配線金属層との間で容量素子を確保していることを特徴としている。

また、本発明の高周波増幅器は、上記高周波受動回路の配線金属層が、電界効果型トランジスタのゲート接地回路のゲート端子に電氣的に接続されているか、或は、上記高周波受動回路の配線金属層が、バイポーラトランジスタのベース接地回路のベース端子に電氣的に接続されており、或は、上記高周波受動回路に抵抗素子が、その一方の端子に上記接地金属層を接続し、他方の端子に上記配線金属層を接続した状態で、配されており、その抵抗素子の一端であって上記配線金属層が電氣的に接続されている端子が、電界効果型トランジスタのソース端子に電氣的に接続されて、セルフバイアス回路を構成していることを特徴としている。

【 0 0 2 4 】

また、本発明のバイアホールを備えた高周波受動回路は、半導体基板を貫通してバイアホールが形成され、当該バイアホールの内部の接地金属層上に第一の高誘電体層、第一の配線金属層、第二の高誘電体層、第二の配線金属層をこの順に積層形成し、上記接地金属層と第一配線金属層との間で第一の容量素子を、上記第一の配線金属層と第二の配線金属層との間で第二の容量素子を夫々確保し、上記接地金属層と上記第二の配線金属層が電氣的に接続されて、接地金属層と第一の配線金属層との間で、第一の容量素子と第二の容量素子の和の静電容量を確保していることを特徴としている。

【 0 0 2 5 】

また、本発明の高周波増幅器は、上記バイアホールを備えた高周波受動回路の第一の配線金属層が、電界効果型トランジスタのゲート接地回路のゲート端子に電氣的に接続されているか、あるいは、第一の配線金属層が、バイポーラトランジスタのベース接地回路のベース端子に電氣的に接続されている、または、上記

高周波受動回路に抵抗素子を配して、上記抵抗素子の一方の端子に上記第二の配線金属層あるいは上記接地金属層が電氣的に接続され、上記抵抗素子の他方の端子に上記第一の配線金属層が電氣的に接続されているとともに、上記抵抗素子の上記第二の配線金属層と電氣的に接続されている端子が、電界効果型トランジスタのソース端子に電氣的に接続されて、セルフバイアス回路を構成していることを特徴としている。

【 0 0 2 6 】

【発明の実施の形態】

以下、本発明の実施の形態であるバイアホールを備えた高周波受動回路および高周波増幅器について、図面を参照しながら詳細に説明する。

(実施の形態1)

図1 (1) ~ (3) は本発明のバイアホールを備えた高周波受動回路および高周波増幅器の第1の実施の形態を説明するための図面である。

【 0 0 2 7 】

図1 (1) は、本発明が適用される高周波受動回路および高周波増幅器の回路図である。この回路は、図8 (1) に示した回路と基本的に同じであり、部品、部材を示す番号が異なるだけであるので、説明は省略する。

図1 (2A) 、 (2B) は、本発明の第1の実施形態として、図1 (1) 中の入力整合回路部125とドレイン電圧給電回路107を基板上において実現する構造を示す平面図である。

【 0 0 2 8 】

図1 (2A) は入力整合回路部125の平面図である。入力整合回路部125の構成素子である入力整合用並列インダクタ114はスパイラル状電極パターン、入力整合用並列キャパシタ115はMIMキャパシタを用い、GaAs基板124の主面から表面バイアホールを適用して形成される入力整合回路用バイアホール121内部に入力整合用並列キャパシタ115を形成している。

【 0 0 2 9 】

図1 (3) の断面図を用いて、この構成を更に詳細に説明する。GaAs基板124の裏面には全面に亘って裏面接地金属層127が形成され、表面側の所望する部分に

シリコンオキサイド (SiO) 等の絶縁層134が形成されている。絶縁層134の存在しない表面部分にはエッチングによりバイヤホール121が形成されている。前記絶縁層134の上には、金メッキなどによりスパイラル状の下層配線金属層131が形成され、その上にシリコンナイトランド (SiN) 等の層間絶縁膜132を介して、金／チタン蒸着などにより上層配線金属層130が形成されている。上層配線金属層130は、図1 (2A) に示すように直線状をしている。この上層配線金属層130と下層配線金属層131とは、層間絶縁膜132を貫通して設けたコンタクトホール133により接続されていて、両者により等価的に入力整合用並列インダクタ114を構成している。

【 0 0 3 0 】

一方、前記バイヤホール121の内壁には、下層から接地金属層126、高誘電体層128、容量素子用第1配線金属層129の3層構造膜が形成されている。接地金属層126は、バイヤホール底面において裏面接地金属層127と接触しており、GaAs基板124表面側においてバイヤホール周縁近傍に広がっている。高誘電体層128は、例えば、誘電率100以上あるチタン酸ストロンチウム (SrTiO₃:STO) が用いられている。容量素子用第1配線金属層129は、金／チタン蒸着などにより形成される。この容量素子用第1配線金属層129は、層間絶縁膜132上を引き出され、前記上層配線金属層130と一体接続されている。前記した接地金属層128、高誘電体層128、容量素子用第1配線金属層129の3層構造膜は、高誘電体層128の誘電率、2つの金属層126、129の対向面積、対向間隔によって定まる静電容量を持った入力整合用並列キャパシタ115を形成している。

【 0 0 3 1 】

図1 (2B) に示すドレイン電圧給電回路107の構成も、基本的に図1 (2A) に示した入力整合回路と同じである。異なっているところは、引出し配線135によりドレイン電圧端子136がスパイラルインダクタとドレイン電圧給電回路用バイヤホール123の間から引き出されている点だけである。従って、これ以上の説明は省略する。

【 0 0 3 2 】

上記の構成によれば、キャパシタがバイヤホールの中に組み込む形で構成され

ているので、従来のように各素子を別々に配置構成していたものに比べて、小型化に資するところ大である。

なお、高周波増幅器の能動素子として電界効果型トランジスタのみならず、バイポーラトランジスタ、MOSFETなどのデバイスでも良い。

【 0 0 3 3 】

また、本文では、高周波増幅器を取り上げているが、その他、ミキサ、VC0などの広く高周波デバイスへの適用が可能である。

(実施の形態2)

図2 (1) ~ (3) は第2の実施の形態を説明するための図面である。適用回路は、図1 (1) と同じなので示さない。図2 (2A) が入力整合回路、図2 (2B) がドレイン電圧給電回路である。図2 (3) は、それらの断面図である。

【 0 0 3 4 】

第2の実施形態が第1の実施形態と異なる点は、バイヤホール215内に形成する入力整合用並列キャパシタ215の静電容量を大きくした点である。即ち、バイヤホール215内壁に、下層から、接地金属層226、第一の高誘電体層2281、容量素子用第一配線金属層2291、第二の高誘電体層2282、容量素子用第二配線金属層2292の5層からなる積層膜を形成し、この積層膜の、GaAs基板上に延びた端縁一部において、第一の高誘電体層2281と第二の高誘電体層2282とを同じ誘電材料を用いて接続し、またその上から接地金属層226と容量素子用第二配線金属層2292とを金属材料で接続したものである。各金属膜、誘電体層材料は、第1の実施形態と同一材料が用いられる。

【 0 0 3 5 】

この構成であれば、接地金属層226と容量素子用第二配線金属層2292とが容量素子用第一配線金属層2291と対向することとなり、対向面積において、第1の実施形態のその2倍近いものになる。従って、誘電体層の誘電率が同じであれば、静電容量は第1の実施形態の2倍近い値となるのである。それでいて全体の占有面積は第1の実施形態と変わらないので、小型化を妨げることも無い。

【 0 0 3 6 】

(実施の形態3)

図3 (1) ~ (3) は第3の実施の形態を説明するための図である。

図3 (1) は、第3の実施の形態が適用される高周波増幅器の回路図を示している。図からわかるように図8 (1) の回路と同じである。従って、詳細な説明は省略する。

【0037】

図3 (2) は、第3の実施形態である高周波受動回路として、入力整合回路部325とドレイン電圧給電回路307の平面図である。図3 (3) は、図3 (2) の断面図である。

以下では、入力整合回路部325とドレイン電圧給電回路307のうち、入力整合回路部325を取り上げて説明する。

【0038】

GaAs基板324上にシリコンオキサイド (SiO) などの絶縁膜334を介して、金/チタン蒸着などにより第一層配線金属層330を、平面視スパイラル状に形成し、この第一層配線金属層330に沿って、誘電率100以上であるチタン酸ストロンチウム (SrTiO₃: STO) を用いて高誘電体層328を、平面視ほぼ同一形状に形成し、さらにこの高誘電体層328上に沿って、金メッキ、金/チタン蒸着などにより第二層配線金属層331を、平面視ほぼ同一形状に形成する。前記第一層配線金属層330のスパイラル中心側端部は、図3-3のように、バイヤホール上の接地金属層326と接続され、当該接地金属層326、バイヤホールを介して接地されている。

【0039】

この構成であれば、第一層配線金属層330と第二層配線金属層331とが高誘電体層328を介して対向していることにより、入力整合用並列キャパシタ315が構成される。また、第二層配線金属層331がスパイラル状をした長尺体となっているので、高周波に対してインダクタ要素を持ち、入力整合用並列インダクタ314を構成する。従って、図3 (2)、(3) の構成は、キャパシタの一端が接地され、他端がインダクタと接続された回路となり、等価的に図3 (1) の入力整合回路部325、ドレイン電圧給電回路307を構成することができる。

【0040】

(実施の形態4)

図4 (1) ～ (3) は第4の実施の形態を説明する図である。

図4 (1) は本実施の形態が適用される高周波受動回路および高周波増幅器の回路図である。図4 (1) を見れば明らかなように、図8 (1) の回路と同じである。従って、説明は省略する。

【 0 0 4 1 】

図4 (2A) 、 (2B) は、図4 (1) の回路中、入力整合回路部425とドレイン電圧給電回路407を構成した回路パターンを示す平面図である。

図4 (2A) は、入力整合回路部425の平面図であり、図4 (2B) は、ドレイン電圧給電回路407の平面図であり、図4 (3) は、それらの断面図である。以下では、入力整合回路部425とドレイン電圧給電回路407は共通部分が多いので、入力整合回路部425を代表例として取り上げて説明する。

【 0 0 4 2 】

入力整合回路用バイアホール421はスパイラルインダクタで構成される入力整合用並列インダクタ414の中央部付近の下方に配置されている。

入力整合回路用バイアホール421は、GaAs基板424の裏面から裏面バイアホールを適用して形成され、金メッキあるいは、金／チタン蒸着などにより形成されるバイアホール上の接地金属層426は、GaAs基板424の裏面接地金属層427と導通している。

【 0 0 4 3 】

接地金属層426上に、平面視においてそれとほぼ同一形状をした高誘電体層428、たとえば誘電率100以上であるチタン酸ストロンチウム (SrTiO_3 : STO) を形成し、この高誘電体層428上に下層配線金属429を金／チタン蒸着などにより形成する。前記接地金属層426、高誘電体層428、下層配線金属429によって形成されるMIMキャパシタによって、入力整合用並列キャパシタ415が構成される。

【 0 0 4 4 】

前記MIMキャパシタの周囲のGaAs基板424上には、シリコンオキサイド (SiO_2) などの層間絶縁膜432、絶縁膜434が形成され、その上に、金／チタン蒸着などによりスパイラル状をした上層配線430が形成されている。この上層配線430のスパ

イラル中央部は、コンタクトホール433により下層配線金属429と導通されていて、上層配線430と下層配線金属429とでスパイラルインダクタを形成している。

【 0 0 4 5 】

この構成によれば、第3の実施の形態と同様、キャパシタの一端が接地され、他端がインダクタと接続された回路となり、等価的に図4（1）の入力整合回路部425を構成することができる。

（実施の形態5）

図5（1）～（3）は、第5の実施の形態を説明するための図面である。

【 0 0 4 6 】

図5（1）は、第5の実施の形態が適用される高周波増幅器の回路図を示している。

図5（1）は、ゲート接地型電界効果型トランジスタを用いた高周波増幅器の回路図である。電界効果型トランジスタ501のゲート端子502には、バイパスキャパシタ536とゲート電圧端子537が接続され、バイパスキャパシタ536は接地用バイアホール539により接地されている。ソース端子504には入力整合回路506と、チョークインダクタ540、そしてその端子にソース電圧端子538が接続され、ドレイン端子503には出力整合回路508とチョークインダクタ519、バイパスキャパシタ520が接続されている。入力端子510と出力端子511は50Ωインピーダンス系となっており、入力整合回路506、出力整合回路508は50Ωに対して整合されている。

【 0 0 4 7 】

入力整合回路506、出力整合回路508の回路については、第1、2、3、4の実施の形態で説明した構成を適用できる。

図5（2）は、ベース接地型バイポーラトランジスタを用いた高周波増幅器の回路図である。バイポーラトランジスタ541のベース端子542には、バイパスキャパシタ536とベース電圧端子543が接続され、バイパスキャパシタ536は接地用バイアホール539により接地されている。エミッタ端子544には入力整合回路506と、チョークインダクタ540、そしてその端子にエミッタ電圧端子545が接続され、コレクタ端子546には出力整合回路508とチョークインダクタ519、バイパスキャパシタ520が接続されている。入力端子510と出力端子511は50Ωインピーダンス

系となっており、入力整合回路506、出力整合回路508は50Ωに対して整合されている。

【 0 0 4 8 】

入力整合回路506、出力整合回路508の回路については、第1、2、3、4の実施の形態で説明した構成を適用できる。

図5（3）はセルフバイアス方式のソース接地型電界効果型トランジスタを、用いた高周波増幅器の回路図である。電界効果型トランジスタ501のゲート端子502には、ゲートバイアス抵抗505、入力整合回路506が接続され、ソース端子504にはセルフバイアス抵抗547、セルフバイアスバイパスキャパシタ548が接続され、接地用バイアホール538により接地されている。ドレイン端子503には出力整合回路508とチョークインダクタ519、バイパスキャパシタ520が接続されている。入力端子510と出力端子511は50Ωインピーダンス系となっており、入力整合回路506、出力整合回路508は50Ωに対して整合されている。

【 0 0 4 9 】

入力整合回路506、出力整合回路508の回路については、第1、2、3、4の実施の形態で説明した構成を適用できる。

図5（4）は、上記各回路中の、一端がバイアホールを通じて接地されたキャパシタを構成する回路パターンを示す断面図である。

上記図5（1）、（2）、（3）の接地用バイアホール539は、図5（2）に示すように、GaAs基板524の裏面から裏面バイアホールを適用して形成され、金メッキあるいは、金／チタン蒸着などにより形成されるバイアホールの接地金属層526はGaAs基板524の裏面接地金属層527と導通している。

【 0 0 5 0 】

接地金属層526上に高誘電体層528として誘電率100以上であるチタン酸ストロンチウム（SrTiO₃：STO）を形成して、この高誘電体層528上に配線金属529を金／チタン蒸着などにより形成する。接地金属層526、高誘電体層528、配線金属529を用いて得られるMIMキャパシタによりバイパスキャパシタ536、セルフバイアスバイパスキャパシタ548が構成されている。

【 0 0 5 1 】

上記図5 (1)、(2) の回路構成は、配線金属529をゲート端子502と電氣的に接続することにより得られる。

また、上記図5 (3) の回路構成は、セルフバイアス、抵抗547の一方の端子に配線金属529、そしてもう一方の端子に接地金属層526を電氣的に接続することにより得られる。或は、高誘電体層528の周辺の絶縁層534を抵抗層とし、セルフバイアス抵抗547の代用とすることもできる。

【 0 0 5 2 】

この構成によれば、バイアホールとキャパシタが基板上同一位置に形成されることとなり、小型化に資する。

(実施の形態6)

図6 (1)、(2) は、第6の実施の形態を説明するための図面である。

図6 (1) は、第6の実施の形態が適用される高周波増幅器の回路図を示している。図6 (1) は、図5 (2) と同一であり、図6 (2) は、図5 (3) と同一であるので、回路の説明は省略する。

【 0 0 5 3 】

入力整合回路606、出力整合回路608の回路については、本発明の第1、2、3、4の実施の形態で説明した回路 (図1 (1)、2 (1)、3 (1)、4 (1)) を適用できる。

図6 (2) は第6の実施形態を示す断面図である。

上記図6 (1)、(2)、(3) の接地用バイアホール638は、GaAs基板624の主面から表面バイアホールを適用して形成され、接地用バイアホール638内部にバイパスキャパシタ636、セルフバイアスバイパスキャパシタ648を形成している。接地金属層626は接地用バイアホール638の内部および上部の周辺部に、金メッキあるいは、金／チタン蒸着などにより形成され、GaAs基板624の裏面接地金属層627と導通している。接地金属層626上に高誘電体層628として誘電率100以上であるチタン酸ストロンチウム (SrTiO_3 : ST0) を形成して、この高誘電体層628上に容量素子用第一配線金属層629を金／チタン蒸着などにより形成する。これにより接地金属層626、容量素子用第一配線金属層629、高誘電体層628により容量素子としてバイパスキャパシタ636、セルフバイアスバイパスキャパシタ648が形成さ

れる。

【 0 0 5 4 】

(実施の形態7)

図7 (1) ～ (3) は、第7の実施の形態を示す図である。本実施の形態が第6の実施の形態と異なるところは、キャパシタの容量を増大した点である。

これ以外の構成は、第6の実施の形態と同じであるので、説明を省略し、キャパシタの構成だけ説明する。図7 (3) に示すように、接地用バイアホール738はGaAs基板724の主面から表面バイアホールを適用して形成され、内部にバイパスキャパシタを形成している。接地金属層726は接地用バイアホール738の内部、および上部の周辺部に金メッキあるいは、金／チタン蒸着などにより形成され、GaAs基板724の裏面接地金属層727と導通している。接地金属層726上に第一の高誘電体層7281として誘電率100以上であるチタン酸ストロンチウム (SrTiO₃:STO) を形成して、この第一の高誘電体層7281上に容量素子用第一配線金属層7291を金／チタン蒸着などにより形成する。

【 0 0 5 5 】

さらに、容量素子用第一配線金属層7291上に第二の高誘電体層7282として誘電率100以上であるチタン酸ストロンチウム (SrTiO₃:STO) を形成して、この第二の高誘電体層7282上に容量素子用第二配線金属層7292を金／チタン蒸着などにより形成する。接地金属層726と容量素子用第二配線金属層7292が電氣的に接続されている。

【 0 0 5 6 】

これにより接地金属層726、容量素子用第一配線金属層7291、第一の高誘電体層7281により第一の容量素子、そして容量素子用第一配線金属層7291、容量素子用第二配線金属層7292、第二の高誘電体層7282により第二の容量素子が形成され、等価回路的には第一の容量素子と第二の容量素子が並列に接続された状態 (容量値は第一の容量素子と第二の容量素子の和) で、バイパスキャパシタが形成されている。

【 0 0 5 7 】

【発明の効果】

以上説明したように、本発明のバイアホールを備えた高周波受動回路は、半導体基板の主面上に形成されたスパイラルインダクタと、半導体基板の主面から半導体基板を貫通しているバイアホールとを備え、上記バイアホールは、上記スパイラルインダクタに隣接して配されるとともに、当該バイアホールの内部の接地金属層上に高誘電体層、配線金属層がその順に積層形成されて、接地金属層と配線金属層との間で容量素子を確保しており、上記スパイラルインダクタの一端がスパイラルインダクタの外部領域に引き出されて上記配線金属層と電氣的に接続されているものであるから、バイアホールの中にキャパシタを一体的に組み込むことができ、この結果、スパイラルインダクタ、キャパシタ、バイアホールが半導体基板に対して3次元的に配置されて、その占有面積が削減されることにより高周波受動回路、およびそれを主要素とした高周波増幅器の小型化を図ることができるという効果を有する。

【 0 0 5 8 】

また、本発明のバイアホールを備えた高周波受動回路は、半導体基板の主面上に形成されたスパイラルインダクタと、半導体基板の主面から半導体基板を貫通しているバイアホールとを備え、上記バイアホールは、上記スパイラルインダクタに隣接して配されていると共に、当該バイアホールの内部の接地金属層上に第一の高誘電体層、第一の配線金属層、第二の高誘電体層、第二の配線金属層がこの順に形成され、上記接地金属層と第一の配線金属層との間で第一の容量素子を、上記第一の配線金属層と第二の配線金属層との間で第二の容量素子をそれぞれ構成し、上記接地金属層と上記第二の配線金属層が電氣的に接続されて、接地金属層と第一の配線金属層との間で、第一の容量素子と第二の容量素子の和の静電容量を確保しており、

更に、上記スパイラルインダクタの一端がスパイラルインダクタの外部領域に引き出されて上記第一の配線金属層と電氣的に接続されているものであるから、上記と同様、スパイラルインダクタ、キャパシタ、バイアホールの3次元的な配置により、高周波受動回路、および高周波増幅器の小型化を図れるといった効果を有すると共に、静電容量を、占有面積を増大させることなく増大することができ、特に、高周波増幅器のバイアス給電回路のように大容量を必要とする回路の

設計が容易になるといった効果を併せ持つ。

【 0 0 5 9 】

また、本発明のバイアホールを備えた高周波受動回路は、半導体基板を貫通して形成されたバイアホールの、半導体基板の一方の主面側にある金属層が当該主面に沿って延長され、当該延長部分の上に高誘電体層を介してスパイラル状をした金属層からなるインダクタが形成されているものであるから、バイアホールの、半導体基板の一方の主面側にある金属層の延長部分とスパイラル状をした金属層とが高誘電体層を介して対向することにより、静電容量を確保し、その上にスパイラルインダクタが配置されていることとなり、スパイラルインダクタ、キャパシタ、バイアホールの3次元的な配置が実現し、占有面積の低減に寄与し、高周波受動回路、および高周波増幅器の小型化を図ることができる。

【 0 0 6 0 】

また、本発明のバイアホールを備えた高周波受動回路は、半導体基板を貫通してバイアホールが形成され、当該バイアホールの、半導体基板の一方の主面上にある金属層を覆って高誘電体層が形成され、上記誘電体層上にスパイラル状金属層からなるインダクタが、上記金属層と一部が対向する状態で形成され、対向部分においてバイアホールとインダクタとの間に容量素子を確保しているものであるから、スパイラルインダクタ、キャパシタ、バイアホールが半導体基板内から上において3次元的に配置されることになり、占有面積の削減、高周波受動回路、および高周波増幅器の小型化に資するところ大である。

【 0 0 6 1 】

また、本発明のバイアホールを備えた高周波受動回路は、半導体基板の反対側主面から半導体基板を貫通してバイアホールを形成し、上記バイアホールの半導体基板の主面側の第一の金属層上に高誘電体層を有し、上記高誘電体層上に第二の金属層が形成され、第一の金属層と第二の金属層との間で容量素子を確保しているものであるから、キャパシタとバイアホールが半導体基板上で3次元的に配置されて、その占有面積が削減され、高周波受動回路、および高周波増幅器の小型化を図ることができる。

【 0 0 6 2 】

また、本発明のバイアホールを備えた高周波受動回路は、半導体基板を貫通してバイアホールを形成し、上記バイアホールの内部の接地金属層上に高誘電体層、配線金属層をこの順に積層して接地金属層と配線金属層との間で容量素子を確保しているものであるから、バイアホールの中にキャパシタを組み込むことができ、高周波受動回路およびそれを主たる要素として用いた高周波増幅器の一層の小型化に資するものである。

【0063】

また、本発明のバイアホールを備えた高周波受動回路は、半導体基板を貫通してバイアホールが形成され、当該バイアホールの内部の接地金属層上に第一の高誘電体層、第一の配線金属層、第二の高誘電体層、第二の配線金属層をこの順に積層形成し、上記接地金属層と第一配線金属層との間で第一の容量素子を、上記第一の配線金属層と第二の配線金属層との間で第二の容量素子を夫々確保し、上記接地金属層と上記第二の配線金属層が電氣的に接続されて、接地金属層と第一の配線金属層との間で、第一の容量素子と第二の容量素子の和の静電容量を確保しているものであるから、上記と同様高周波受動回路、高周波増幅器の小型化が実現すると共に、それでいて、更に、静電容量の大容量化も図れるといった効果が有る。

【図面の簡単な説明】

【図1】

本発明の実施の形態1におけるバイアホールを備えた高周波受動回路および高周波増幅器の説明図であり、(1)は、本実施の形態の高周波受動回路が適用される高周波回路図、(2A)は、高周波受動回路の一例として整合回路を構成する電極パターンの平面図、(2B)は、高周波受動回路の他の一例としてバイアス給電回路を構成する電極パターンの平面図、(3)は、2A)の断面図である。

【図2】

本発明の実施の形態2におけるバイアホールを備えた高周波受動回路および高周波増幅器の説明図であり、(1)は、本実施の形態の高周波受動回路が適用される高周波回路図、(2A)は、高周波受動回路の一例として整合回路を構成する電極パターンの平面図、(2B)は、高周波受動回路の他の一例としてバイアス給

電回路を構成する電極パターンの平面図、(3)は、(2A)の断面図である。

【図3】

本発明の実施の形態3におけるバイアホールを備えた高周波受動回路および高周波増幅器の説明図であり、(1)は、本実施の形態の高周波受動回路が適用される高周波回路図、(2)は、高周波受動回路の一例として整合回路を構成する電極パターンの平面図、(3)は、(2)の断面図である。

【図4】

本発明の実施の形態4におけるバイアホールを備えた高周波受動回路および高周波増幅器の説明図であり、(1)は、本実施の形態の高周波受動回路が適用される高周波回路図、(2A)は、高周波受動回路の一例として整合回路を構成する電極パターンの平面図、(2B)は、高周波受動回路の他の一例としてバイアス給電回路を構成する電極パターンの平面図、(3)は、(2A)の断面図である。

【図5】

本発明の実施の形態5におけるバイアホールを備えた高周波受動回路および高周波増幅器の説明図であり、(1) (2) (3)は、夫々高周波増幅回路の回路図、(4)は、上記各回路に適用される受動回路をGaAs基板に形成した状態を示す断面図である。

【図6】

本発明の実施の形態6におけるバイアホールを備えた高周波受動回路および高周波増幅器の説明図であり、(1) (2)は、夫々高周波増幅回路の回路図、(3)は、上記各回路に適用される受動回路をGaAs基板に形成した状態を示す断面図である。

【図7】

本発明の実施の形態7におけるバイアホールを備えた高周波受動回路および高周波増幅器の説明図であり、(1) (2)は、夫々高周波増幅回路の回路図、(3)は、上記各回路に適用される受動回路をGaAs基板に形成した状態を示す断面図である。

【図8】

従来例におけるバイアホールを備えた高周波受動回路および高周波増幅器の説

明図であり（１）は高周波回路図、（２Ａ）は、同回路中の整合回路を基板上に構成したものを示す平面図、（２Ｂ）は、上記回路中のバイアス給電回路を基板上に構成したものを示す平面図、（３）は、（２Ｂ）の断面図である。

【符号の説明】

- 101 電界効果型トランジスタ
- 102 ゲート端子
- 103 ドレイン端子
- 104 ソース端子
- 105 ゲートバイアス抵抗
- 106 入力整合回路
- 107 ドレイン電圧給電回路
- 108 出力整合回路
- 109 接地端子
- 110 入力端子
- 111 出力端子
- 112 入力側DCカット用キャパシタ
- 113 出力側DCカット用キャパシタ
- 114 入力整合用並列インダクタ
- 115 入力整合用並列キャパシタ
- 116 入力整合用直列インダクタ
- 117 出力整合用直列インダクタ
- 118 出力整合用並列キャパシタ
- 119 チョークインダクタ
- 120 バイパスキャパシタ
- 121 入力整合回路用バイアホール
- 122 出力整合回路用バイアホール
- 123 ドレイン電圧給電回路用バイアホール
- 124 GaAs基板
- 125 入力整合回路部

126	接地金属層
127	裏面接地金属層
128	高誘電体層
129	容量素子用第一配線金属層
130	上層配線金属層
131	下層配線金属層
132	層間絶縁膜
133	コンタクトホール
134	絶縁膜
135	引出し配線
136	ドレイン電圧端子
137	ゲート電圧端子
201	電界効果型トランジスタ
202	ゲート端子
203	ドレイン端子
204	ソース端子
205	ゲートバイアス抵抗
206	入力整合回路
207	ドレイン電圧給電回路
208	出力整合回路
209	接地端子
210	入力端子
211	出力端子
212	入力側DCカット用キャパシタ
213	出力側DCカット用キャパシタ
214	入力整合用並列インダクタ
215	入力整合用並列キャパシタ
216	入力整合用直列インダクタ
217	出力整合用直列インダクタ

218	出力整合用並列キャパシタ
219	チョークインダクタ
220	バイパスキャパシタ
221	入力整合回路用バイアホール
222	出力整合回路用バイアホール
223	ドレイン電圧給電回路用バイアホール
224	GaAs基板
225	入力整合回路部
226	接地金属層
227	裏面接地金属層
2281	第一の高誘電体層
2282	第二の高誘電体層
2291	容量素子用第一配線金属層
2292	容量素子用第二配線金属層
230	上層配線金属層
231	下層配線金属層
232	層間絶縁膜
233	コンタクトホール
234	絶縁膜
235	引出し配線
236	ドレイン電圧端子
237	ゲート電圧端子
301	電界効果型トランジスタ
302	ゲート端子
303	ドレイン端子
304	ソース端子
305	ゲートバイアス抵抗
306	入力整合回路
307	ドレイン電圧給電回路

- 308 出力整合回路
- 309 接地端子
- 310 入力端子
- 311 出力端子
- 312 入力側DCカット用キャパシタ
- 313 出力側DCカット用キャパシタ
- 314 入力整合用並列インダクタ
- 315 入力整合用並列キャパシタ
- 316 入力整合用直列インダクタ
- 317 出力整合用直列インダクタ
- 318 出力整合用並列キャパシタ
- 319 チョークインダクタ
- 320 バイパスキャパシタ
- 321 入力整合回路用バイアホール
- 322 出力整合回路用バイアホール
- 323 ドレイン電圧給電回路用バイアホール
- 324 GaAs基板
- 325 入力整合回路部
- 326 接地金属層
- 327 裏面接地金属層
- 328 高誘電体層
- 330 第一層配線金属層
- 331 第二層配線金属層
- 334 絶縁膜
- 336 ドレイン電圧端子
- 337 ゲート電圧端子
- 401 電界効果型トランジスタ
- 402 ゲート端子
- 403 ドレイン端子

- 404 ソース端子
- 405 ゲートバイアス抵抗
- 406 入力整合回路
- 407 ドレイン電圧給電回路
- 408 出力整合回路
- 409 接地端子
- 410 入力端子
- 411 出力端子
- 412 入力側DCカット用キャパシタ
- 413 出力側DCカット用キャパシタ
- 414 入力整合用並列インダクタ
- 415 入力整合用並列キャパシタ
- 416 入力整合用直列インダクタ
- 417 出力整合用直列インダクタ
- 418 出力整合用並列キャパシタ
- 419 チョークインダクタ
- 420 バイパスキャパシタ
- 421 入力整合回路用バイアホール
- 422 出力整合回路用バイアホール
- 423 ドレイン電圧給電回路用バイアホール
- 424 GaAs基板
- 425 入力整合回路部
- 426 接地金属層
- 427 裏面接地金属層
- 428 高誘電体層
- 430 第一層配線金属層
- 431 第二層配線金属層
- 432 層間絶縁膜
- 433 コンタクトホール

434	絶縁膜
435	引出し配線
436	ドレイン電圧端子
437	ゲート電圧端子
501	電界効果型トランジスタ
502	ゲート端子
503	ドレイン端子
504	ソース端子
505	ゲートバイアス抵抗
506	入力整合回路
508	出力整合回路
510	入力端子
511	出力端子
519	チョークインダクタ
520	バイパスキャパシタ
524	GaAs基板
526	接地金属層
527	裏面接地金属層
528	高誘電体層
529	配線金属層
534	絶縁膜
536	バイパスキャパシタ
537	ゲート電圧端子
538	ソース電圧端子
539	接地用バイアホール
540	チョークインダクタ
541	バイポーラトランジスタ
542	ベース端子
543	ベース電圧端子

544	エミッタ端子
545	エミッタ電圧端子
546	コレクタ端子
547	セルフバイアス抵抗
548	セルフバイアスバイパスキャパシタ
549	ドレイン電圧端子
550	コレクタ電圧端子
551	バイパスキャパシタ接地用端子
601	電界効果型トランジスタ
602	ゲート端子
603	ドレイン端子
604	ソース端子
605	ゲートバイアス抵抗
606	入力整合回路
608	出力整合回路
610	入力端子
611	出力端子
619	チョークインダクタ
620	バイパスキャパシタ
624	GaAs基板
626	接地金属層
627	裏面接地金属層
628	高誘電体層
629	容量素子用第一配線金属層
636	バイパスキャパシタ
637	ゲート電圧端子
1638	ソース電圧端子
639	接地用バイアホール
640	チョークインダクタ

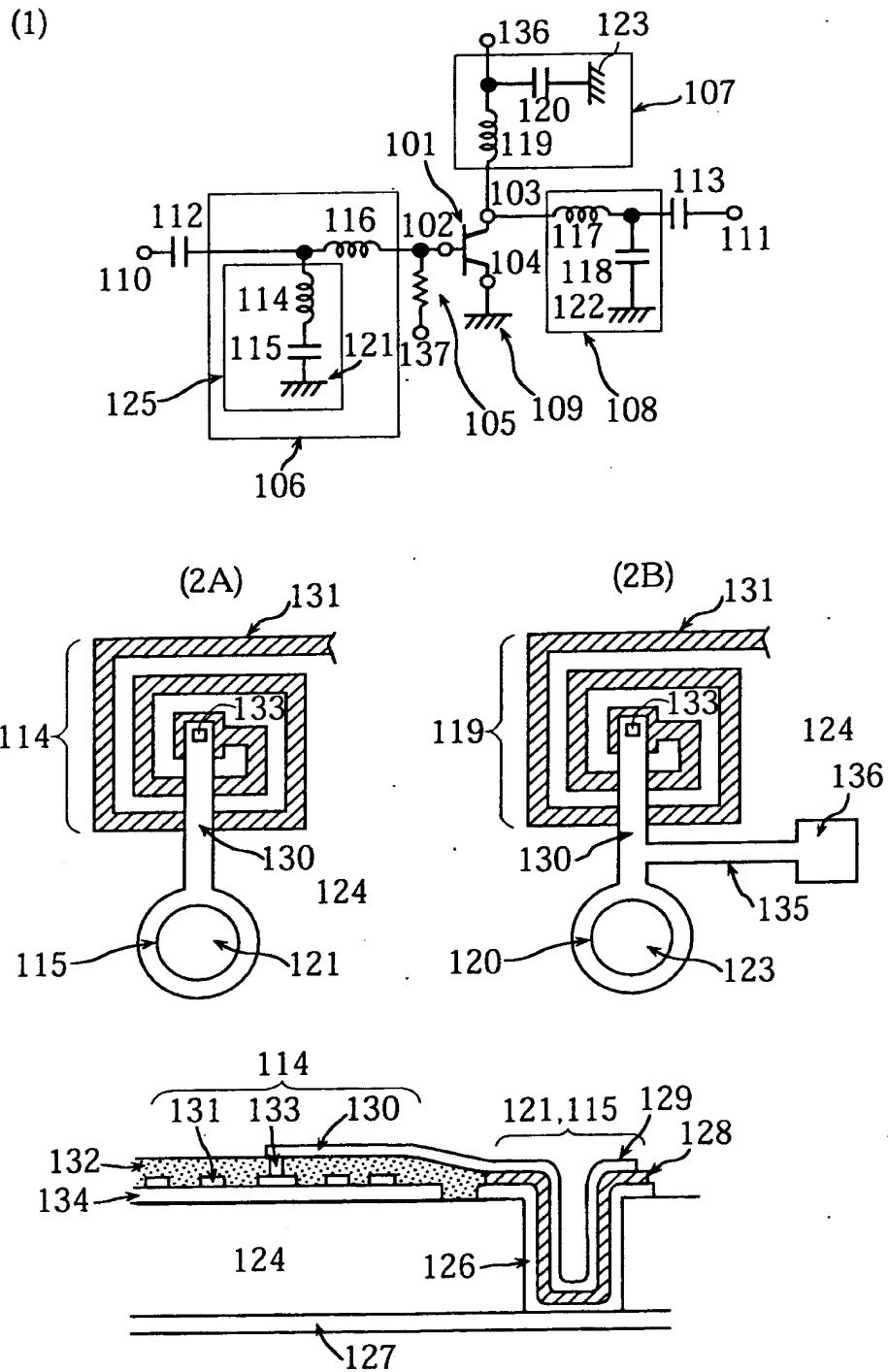
641	パイポーラトランジスタ
642	ベース端子
643	ベース電圧端子
644	エミッタ端子
645	エミッタ電圧端子
646	コレクタ端子
647	セルフバイアス抵抗
648	セルフバイアスバイパスキャパシタ
649	ドレイン電圧端子
650	コレクタ電圧端子
651	バイパスキャパシタ接地用端子
701	電界効果型トランジスタ
702	ゲート端子
703	ドレイン端子
704	ソース端子
705	ゲートバイアス抵抗
706	入力整合回路
708	出力整合回路
710	入力端子
711	出力端子
719	チョークインダクタ
720	バイパスキャパシタ
724	GaAs基板
726	接地金属層
727	裏面接地金属層
7281	第一の高誘電体層
7282	第二の高誘電体層
7291	容量素子用第一配線金属層
7292	容量素子用第二配線金属層

- 736 バイパスキャパシタ
- 737 ゲート電圧端子
- 738 ソース電圧端子
- 739 接地用バイアホール
- 740 チョークインダクタ
- 741 パイポーラトランジスタ
- 742 ベース端子
- 743 ベース電圧端子
- 744 エミッタ端子
- 745 エミッタ電圧端子
- 746 コレクタ端子
- 747 セルフバイアス抵抗
- 748 セルフバイアスバイパスキャパシタ
- 749 ドレイン電圧端子
- 750 コレクタ電圧端子・
- 751 バイパスキャパシタ接地用端子
- 801 電界効果型トランジスタ
- 802 ゲート端子
- 803 ドレイン端子
- 804 ソース端子
- 805 ゲートバイアス抵抗
- 806 入力整合回路
- 807 ドレイン電圧給電回路
- 808 出力整合回路
- 809 接地端子
- 810 入力端子
- 811 出力端子
- 812 入力側DCカット用キサパシタ
- 813 出力側DCカット用キャパシタ

- 814 入力整合用並列インダクタ
- 815 入力整合用並列キャパシタ
- 816 入力整合用直列インダクタ
- 817 出力整合用直列インダクタ
- 818 出力整合用並列キャパシタ
- 819 チョークインダクタ
- 820 バイパスキャパシタ
- 821 入力整合回路用バイアホール
- 822 出力整合回路用バイアホール
- 823 ドレイン電圧給電回路用バイアホール
- 824 GaAs基板
- 825 ドレイン電圧端子
- 826 接地金属層
- 827 裏面接地金属層・
- 828 高誘電体層
- 829 MIMキャパシタ用上層配線金属
- 830 上層配線金属層
- 831 下層配線金属層
- 832 層間絶縁膜
- 833 コンタクトホール
- 834 絶縁膜
- 835 引出し配線
- 836 ドレイン電圧端子
- 837 ゲート電圧端子

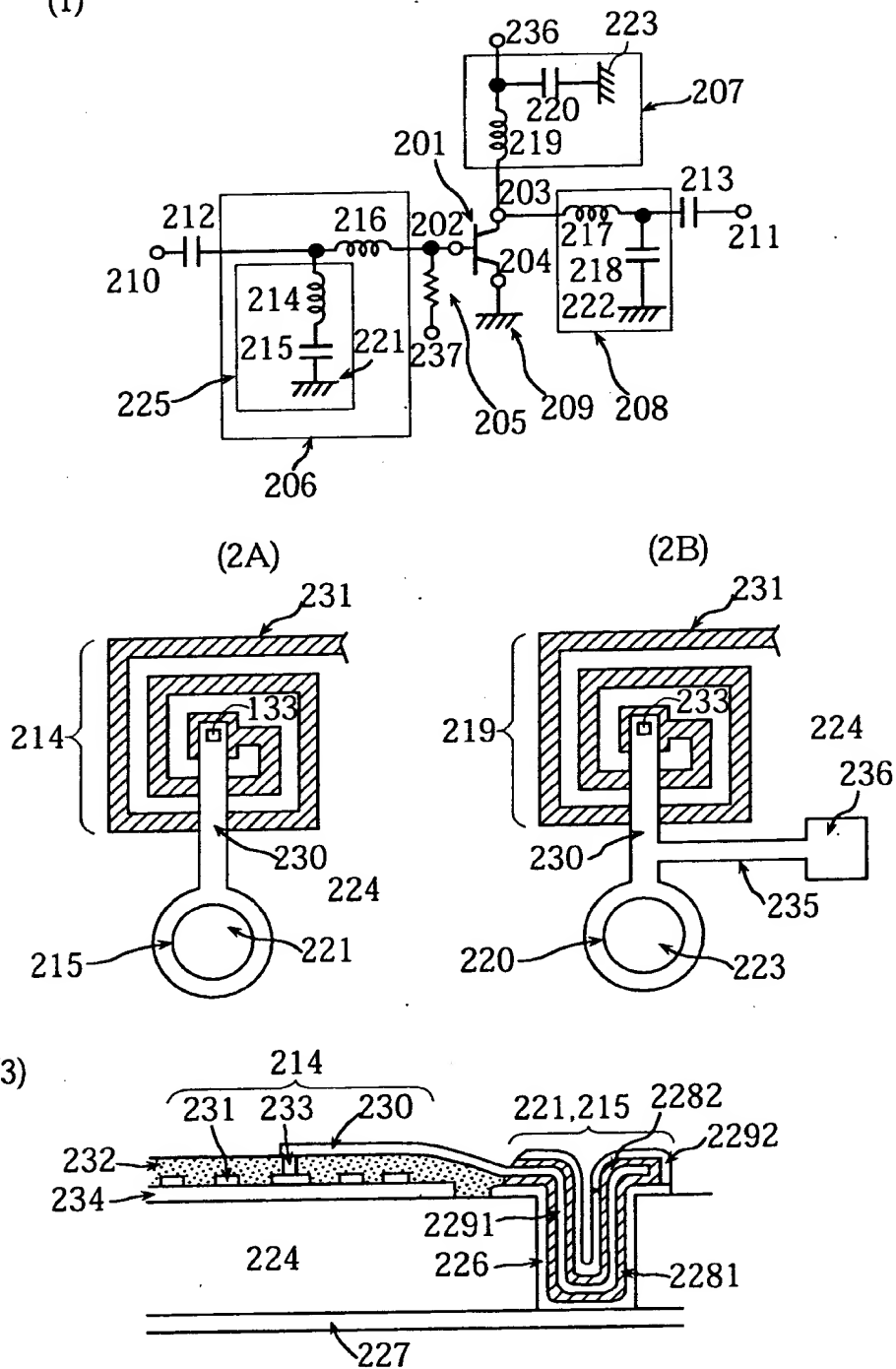
【書類名】 図面

【図 1】



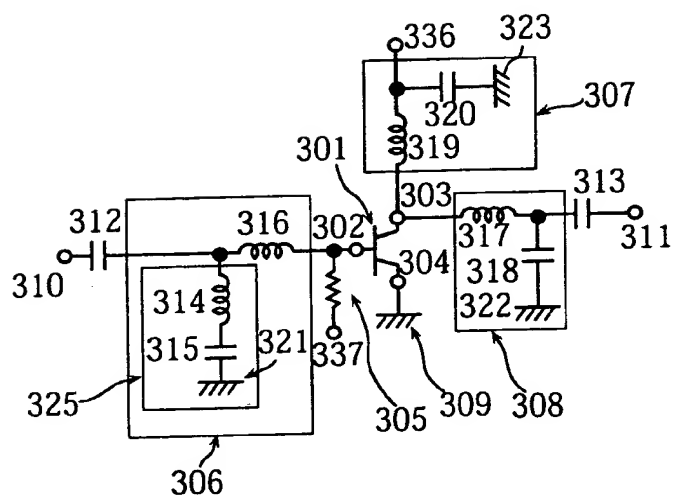
【図 2】

(1)

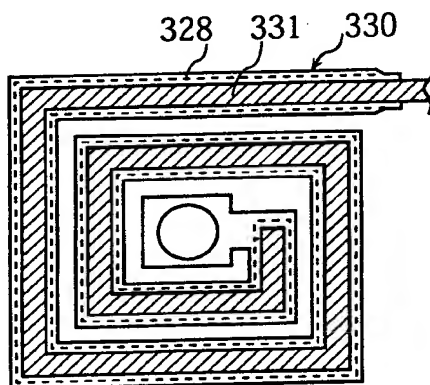


【図 3】

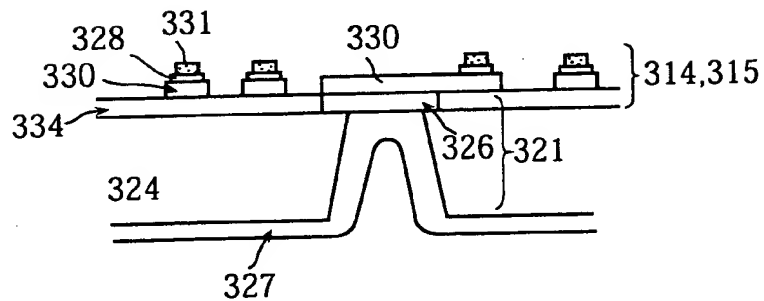
(1)



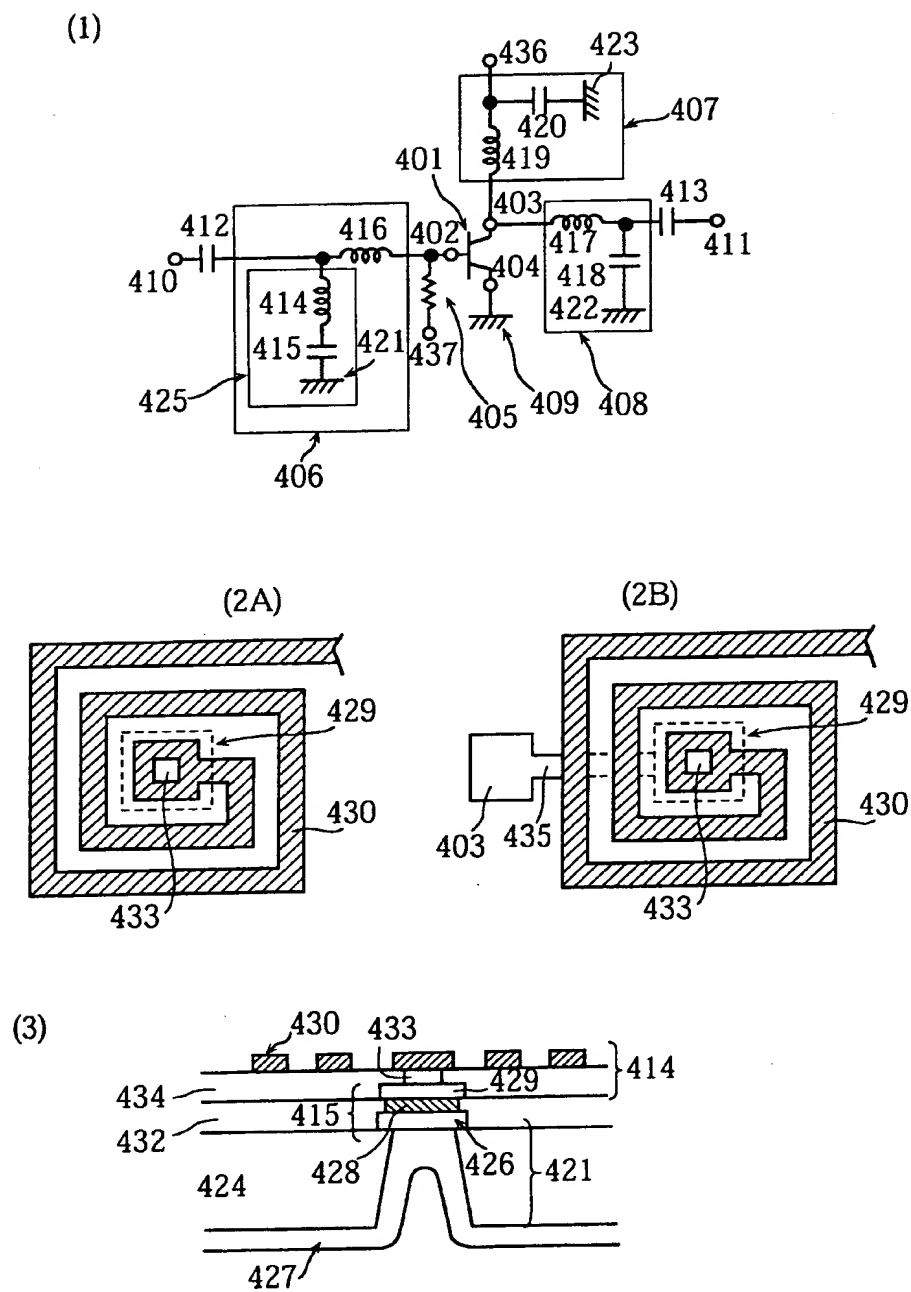
(2)



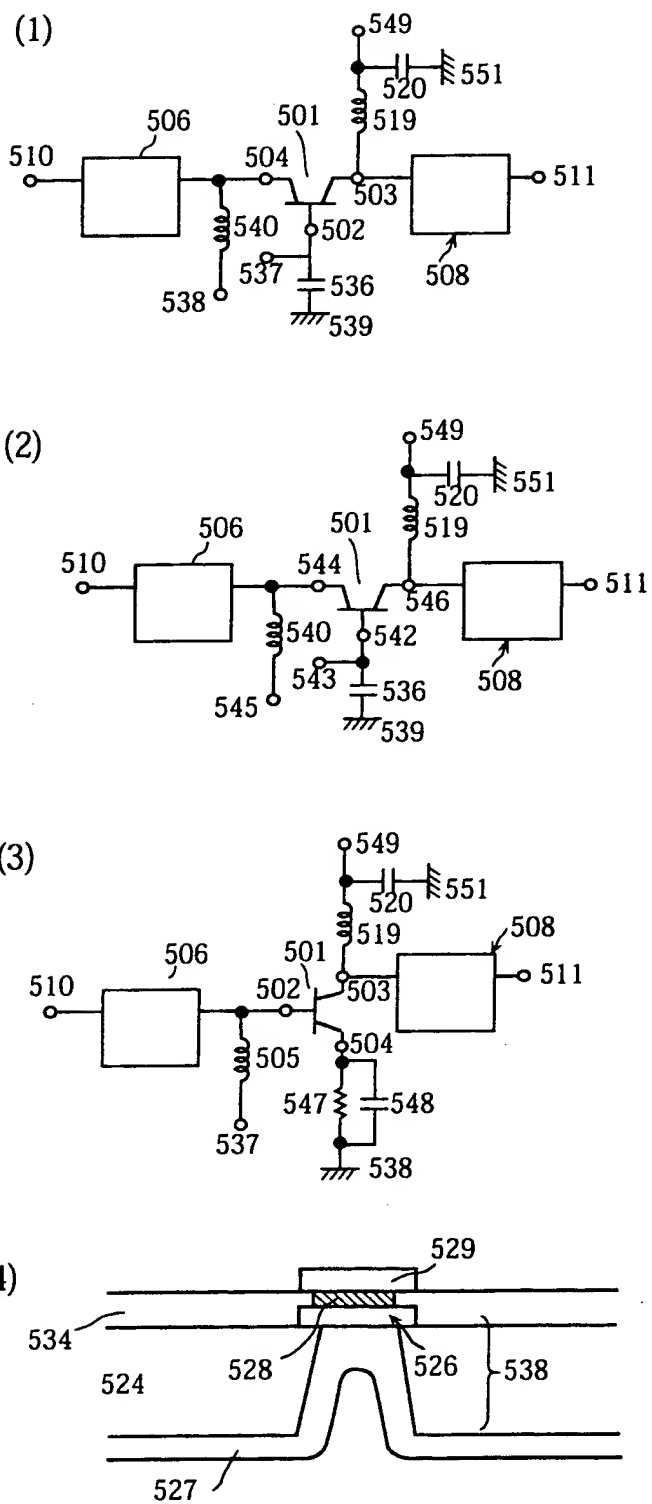
(3)



【図 4】

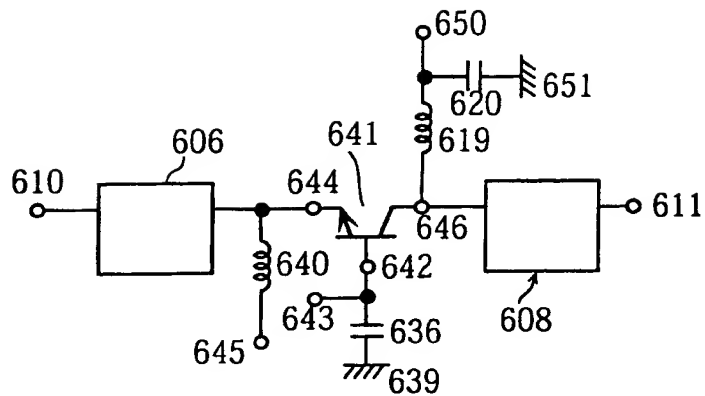


【図 5】

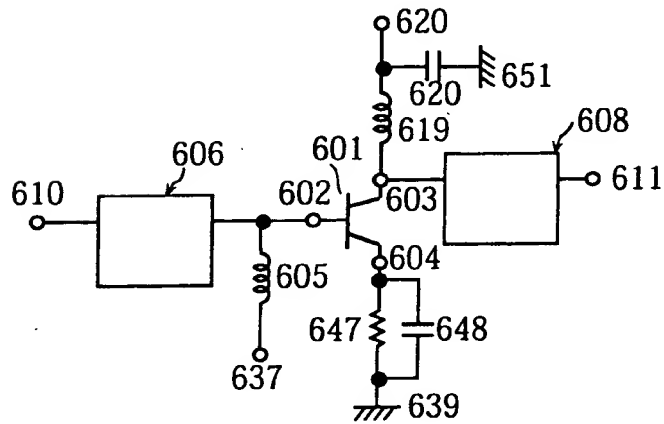


【図 6】

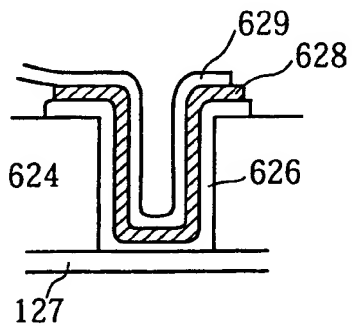
(1)



(2)

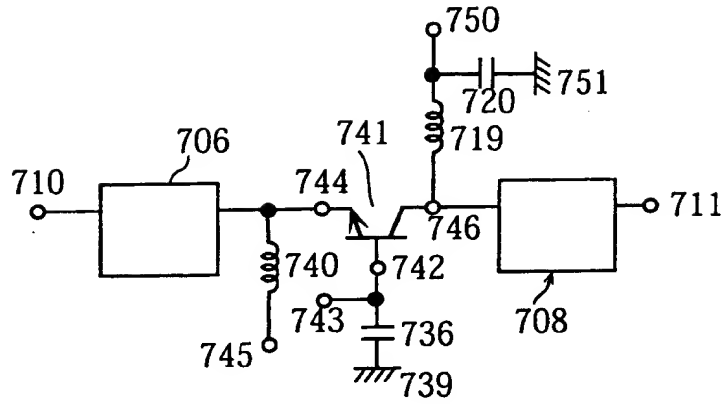


(3)

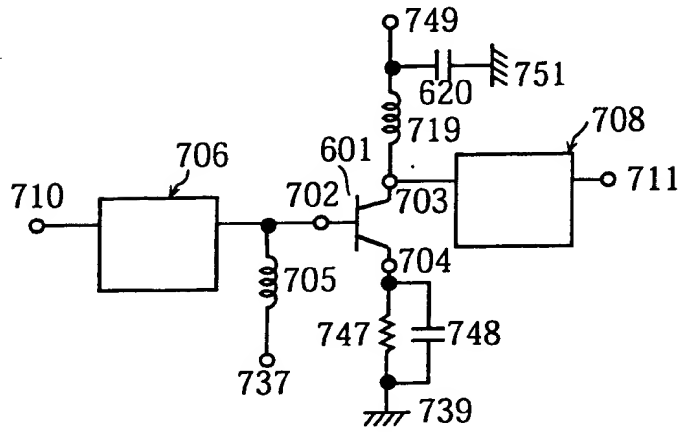


【図 7】

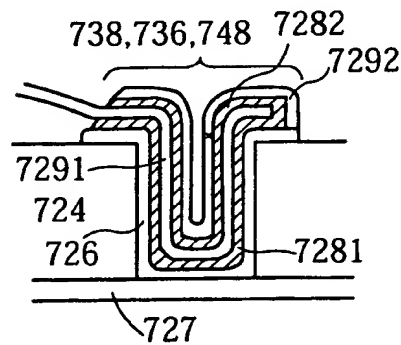
(1)



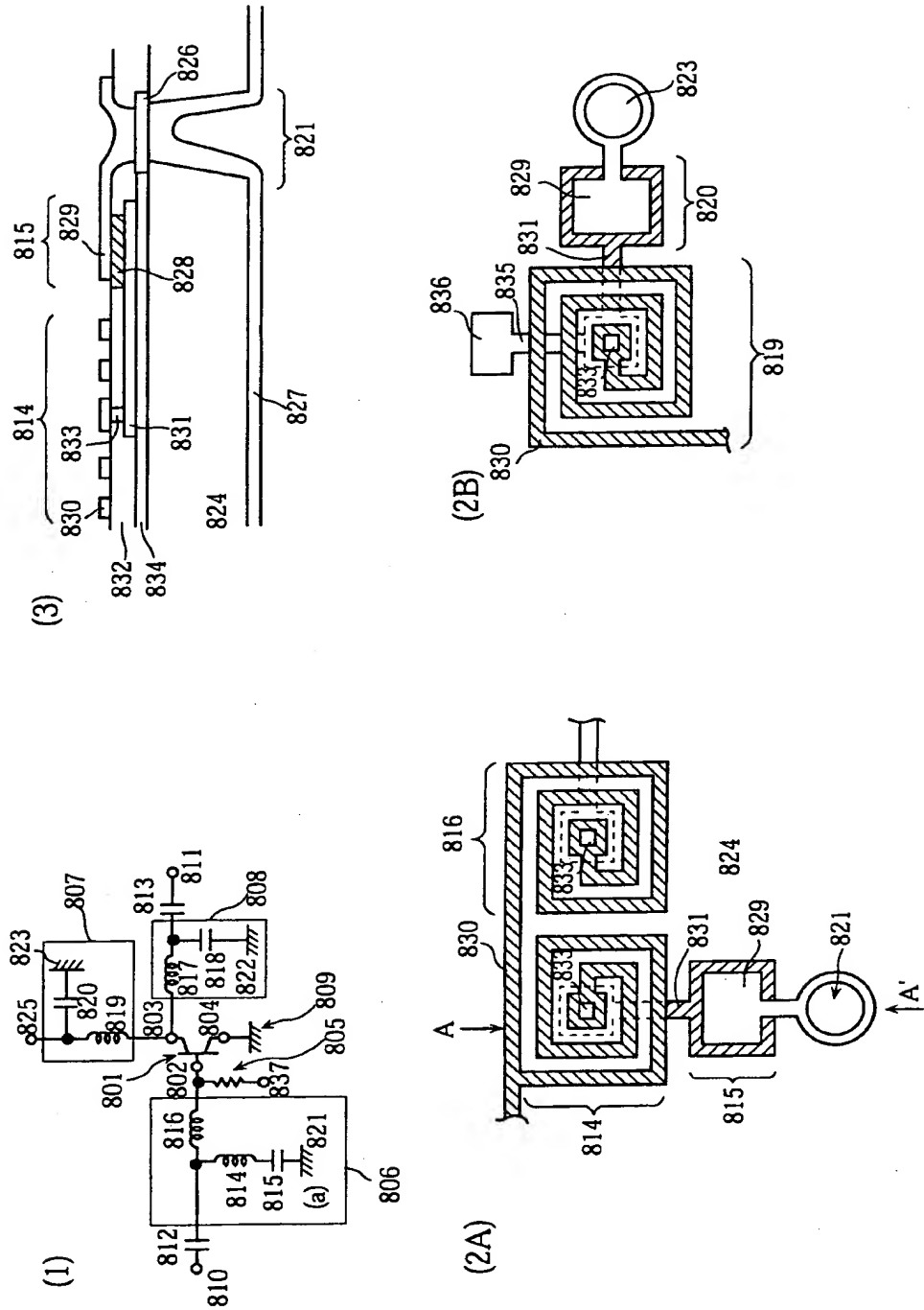
(2)



(3)



【図 8】



【書類名】 要約書

【要約】

【課題】 バイアホールを備えた高周波受動回路および高周波増幅器の小型化を実現する。

【解決手段】

入力整合回路部125の構成素子である入力整合用並列インダクタ114はスパイラルインダクタ、入力整合用並列キャパシタ115はMIMキャパシタを用い、GaAs基板124の主面から表面バイアホールを適用して形成される入力整合回路用バイアホール121内部に入力整合用並列キャパシタ115を形成している。ドレイン電圧給電回路107の構成素子であるチョークインダクタ119はスパイラルインダクタ、バイパスキャパシタ120はMIMキャパシタを、GaAs基板124の主面から表面バイアホールを適用して形成されるドレイン電圧給電回路用バイアホール123内部にバイパスキャパシタ120を形成している。引出し配線135によりドレイン電圧端子136がスパイラルインダクタとドレイン電圧給電回路用バイアホール123の間から引き出されている。

【選択図】 図1（1）

【書類名】 出願人名義変更届（一般承継）
【提出日】 平成13年 4月26日
【あて先】 特許庁長官 殿
【事件の表示】
 【出願番号】 特願2000-246483
【承継人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
 【代表者】 中村 ▲邦▼夫
【提出物件の目録】
 【物件名】 権利の承継を証明する書面 1
 【援用の表示】 平成13年 4月16日付提出の特許番号第31505
60号の一般承継による特許権の移転登録申請書に添付
した登記簿謄本を援用する。

出 願 人 履 歴 情 報

識別番号 [000005843]

1. 変更年月日	1993年 9月 1日
[変更理由]	住所変更
住 所	大阪府高槻市幸町1番1号
氏 名	松下電子工業株式会社

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社